

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-31951

(43)公開日 平成8年(1996)2月2日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 21/8242

27/108

27/04

H 01 L 27/10

325 J

27/04

C

審査請求 未請求 請求項の数13 OL (全12頁) 最終頁に統く

(21)出願番号

特願平6-159966

(22)出願日

平成6年(1994)7月12日

(71)出願人 590000879

テキサス インスツルメンツ インコーポ  
レイテッド  
アメリカ合衆国テキサス州ダラス、ノース  
セントラルエクスプレスウェイ 13500

(72)発明者 西岡 泰城

茨城県つくば市御幸が丘17番地 テキサ  
ス・インスツルメンツ筑波研究開発センタ  
ー内

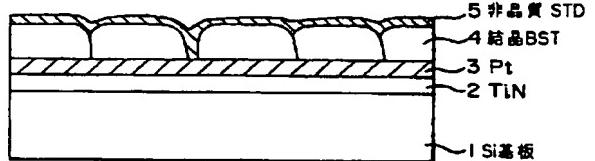
(74)代理人 弁理士 浅村 隆 (外3名)

(54)【発明の名称】 強誘電体薄膜キャバシタ及びその製造方法

(57)【要約】

【目的】 本発明の目的はULSIに応用できるほどの歩留りを確保できる強誘電体薄膜キャバシタの製造方法を提供することにある。

【構成】 本発明の一態様においては、キャバシタ用誘電体としての第1の強誘電体薄膜の形成後に非常に薄い第2の強誘電体薄膜を堆積して結晶粒の間に発生する空洞部を埋め込むことによって、リーク電流が小さく歩留りが高いキャバシタを形成する。他の態様においては、空洞部に絶縁層を埋め込む。



1

## 【特許請求の範囲】

【請求項1】 第1の結晶強誘電体薄膜と該第1の薄膜より薄い第2の強誘電体薄膜の積層構造を含む強誘電体薄膜キャバシタ。

【請求項2】 前記第2の強誘電体薄膜は前記第1の強誘電体薄膜と異なる材質により構成されている特許請求の範囲第1項の強誘電体薄膜キャバシタ。

【請求項3】 前記第2の強誘電体薄膜は非晶質である特許請求の範囲第1項の強誘電体薄膜キャバシタ。

【請求項4】 前記第2の強誘電体薄膜を堆積した後に、該第2の強誘電体薄膜をエッチング除去した後酸化性雰囲気中で熱処理する工程により形成する特許請求の範囲第1項の強誘電体薄膜キャバシタ。

【請求項5】 前記第2の強誘電体薄膜は非晶質から結晶化して形成される特許請求の範囲第1項の強誘電体薄膜キャバシタ。

【請求項6】 前記第1および第2の強誘電体薄膜は $(Ba, Sr) TiO_3$ 、 $SrTiO_3$ 、 $BaTiO_3$ 、 $(Pb, La)(Zr, Ti)O_3$ 、 $Pb(Zr, Ti)O_3$ 、 $PbTiO_3$ の材料から選ばれた一つ、或いはこれらの材料を含む特許請求の範囲第1項の強誘電体薄膜キャバシタ。

【請求項7】 強誘電体薄膜を有するキャバシタにおいて、該強誘電体の結晶粒界が該強誘電体と異なる絶縁性酸化膜によって覆われていることを特徴とする強誘電体薄膜キャバシタ。

【請求項8】 強誘電体薄膜を有するキャバシタにおいて、該強誘電体の下地電極として $TiN$ 膜が形成されていることを特徴とする強誘電体薄膜キャバシタ。

【請求項9】 強誘電体薄膜を有するキャバシタであって、強誘電体薄膜の形成後に該薄膜の結晶粒の間に発生する空洞部に絶縁材料を埋め込む工程を含むキャバシタの製造方法。

【請求項10】 前記絶縁層の形成後、この絶縁層を更にエッチバックする工程を含む特許請求の範囲第9項のキャバシタの製造方法。

【請求項11】 前記絶縁層は、前記強誘電体薄膜の下地の材料からの拡散現象によって形成されていることを含む特許請求の範囲第9項のキャバシタの製造方法。

【請求項12】 前記強誘電体薄膜は、 $(Ba, Sr) TiO_3$ 、 $SrTiO_3$ 、 $BaTiO_3$ 、 $(Pb, La)(Zr, Ti)O_3$ 、 $Pb(Zr, Ti)O_3$ 、 $PbTiO_3$ の材料から選ばれた一つ、或は、これら材料を含む特許請求の範囲第9項のキャバシタの製造方法。

【請求項13】 前記絶縁層は、それぞれ $Si$ 、 $Ta$ 、 $Ti$ 、 $Zr$ 、 $Hf$ 、 $Sc$ 、 $Y$ 、 $V$ 、 $Nb$ の酸化物から選ばれた一つ、或は、これらを含む特許請求の範囲第9項のキャバシタの製造方法。

## 【発明の詳細な説明】

## 【0001】

2

【産業上の利用分野】 本発明は、半導体装置技術に関し、特に半導体メモリに適用した場合、リーク電流が小さく歩留りの高い強誘電体薄膜キャバシタに関するものである。

## 【0002】

【従来技術】 従来の半導体装置の高集積化を図る際、その構成要素の微細化が進んでいるが、微細かつ高容量のキャバシタを必要とするダイナミック・メモリ(DRAM)において、比誘電率が極めて大きい強誘電体の薄膜の利用が注目されている。例えば、(P. J. Bhattacharya等、Jpn. J. Appl. Phys. Vol. 32 (1993) pp. 4103-4106)等が先行技術として考えられる。

## 【0003】

【発明が解決しようとする課題】 ところが、上述のBhattacharya等の開示によると、 $Pt$ 基板上に $(Ba, Sr)TiO_3$ (以下、「BST」と略称する。)膜を形成したところ、この膜の結晶は柱状に成長して、高い比誘電率約300を確保できることが分かっている。しかしながら、これらの薄膜を用いてキャバシタを形成したところ、非常に絶縁性の優れたキャバシタを形成できる一方、リーク電流の大きいものまたは初期短絡不良のものが多く、DRAM等の超LSIの量産に適する程度の歩留りを確保には十分でなかった。この原因を詳細に検討した結果、結晶粒界に空洞が発生している事実を発見した。本発明の目的の一つは超LSIに応用できる程度の歩留りを十分確保できるキャバシタ及びその製造方法を提供することにある。

【0004】 また、半導体装置、特にDRAMでは小面積のキャバシタが必要になっている。これらのキャバシタを実現するため、きわめて比誘電率の大きい $(Ba, Sr) TiO_3$ や $Pb(Zr, Ti)O_3$ 等の強誘電体薄膜が注目されている。しかしながら、これらの薄膜を用いてキャバシタを形成したところ、非常に絶縁性の優れたキャバシタを形成できる一方、リーク電流の大きいものまたは初期短絡不良のものが多く、DRAM等のULSIに応用できるほどの歩留りを確保できなかった。本発明の目的の一つはULSIに応用できるほどの歩留りを確保できるキャバシタ及びその製造方法を提供することにある。

## 【0005】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の如くである。すなわち、キャバシタ用誘電体としての第1の強誘電体薄膜の形成後に、これに比して非常に薄い第2の強誘電体薄膜を堆積して、結晶粒の間に発生する空洞部を埋め込むことによって、リーク電流が小さく歩留りが高いキャバシタを形成するのである。又、他の態様においては強誘電体薄膜の形成後に発生する結晶粒の間の空洞部に絶縁層を埋め込むことによって、リーク電流が小さく歩留りが高いキャバシタ用強誘電体薄

10

20

30

40

50

膜を形成するものである。

### 【0006】

【作用】 上述の発明によれば、DRAM等のキャパシタと上部及び下部電極間の絶縁性に優れ且つリーク電流を抑えつつ初期短絡不良を低減させることができるとなる。この結果、DRAMの強誘電体キャパシタに蓄積された電荷のリークを最小限にできるので、従来に比してリフレッシュ・サイクルを長期にするか、同様のリフレッシュ・サイクルを保持した場合、メモリ・セルの面積を小さくできるため、歩留まりが向上し、量産性に適した半導体メモリ装置を提供することが可能となる。

### 【0007】

【実施例】 先ず本発明の一態様を図1乃至図12を参照して説明する。本態様の前提を説明する図1において、酸化したシリコン基板1の上に接着層としてTiN膜2をスパッタ法によって約50nm形成し、200nmの膜厚のPt膜3をスパッタ法によって形成する。その後、BST膜4をBSTセラミックスのターゲット材を用いてO<sub>2</sub>/Ar混合ガス中で約200nmの膜厚に堆積する。その際、基板温度は約650°Cで膜形成を行ない、結晶化したBST膜4を成長させる。これは、500°C以下で形成される非晶質BSTの比誘電率が約30と、結晶化したBSTの比誘電率約300に比べて小さいためである。最後に、Ptの上部電極を形成することでキャパシタが構成される。このキャパシタの電気的特性を評価した結果、この結晶BST膜は初期絶縁破壊による故障が多く、超LSI用のキャパシタとしての十分な歩留りを確保できないことが分かった。このBST膜の透過型電子顕微鏡を用いた解析や電気的特性の詳しい解析の結果、図1に示すようにBST膜の初期絶縁破壊はBST膜5の結晶粒界に発生している空洞による可能性が高いことが理解できる。この空洞部に上部電極Pt膜をスパッタ法により形成する際、Ptが侵入し上部電極と下部電極が短絡することが原因と推測できる。従って、本発明の一態様においては、この強誘電体薄膜を多層化し該空洞を埋めることにより上記欠陥を修復することを試みた。

【0008】 次に、本発明の第1の実施例の概念を図1及び図2を参照して説明する。実施例1は、BST膜4の空洞による欠陥をSrTiO<sub>3</sub>(STO)を積層して欠陥を修復する方法である。図1の構造を形成した後、約400°Cの基板温度で非晶質のSTO膜5を約10nm以下の膜厚でBST膜4上に形成した。その後にPt上部電極をスパッタ法により約200nm程形成する。これは、従来のリソグラフィ法によりキャパシタ製造を用いることができる。また、BST膜4は結晶化しており、その比誘電率は約300であったが、STO膜5の比誘電率は約20と小さく。そのため、この積層構造では静電容量はBST膜4の単層構造に比べて約25%減少する。しかしながら、この多層化によって膜のリーク電流は約3桁改善し、かつPZT膜6の空洞によるとと思われる初期絶縁破壊率は著しく減少する。よってキャパシタ形成に関する歩留まりが改善することが可能となる。

電流は約2桁程度改善することができ、かつ、BST膜4の空洞によると思われる初期絶縁破壊率は著しく減少するのでキャパシタの歩留りがより改善するのである。本発明の効果は、多層化される強誘電体薄膜を互いに異なる材質によって形成してもよく、異なる材質によって形成した場合、特に効果が高いことも理解できるであろう。

【0009】 本発明は、この非晶質STO膜を結晶化させることによって、更に効果を向上させることができ。すなわち、この非晶質STO膜を形成した後、650°Cの酸素中で加熱すれば結晶化が起こり、比誘電率が約150に増加させることができるので、キャパシタ全体の静電容量の減少は、約10%に抑えられる。また、歩留りの向上にも寄与することができる。

【0010】 次に、本発明の他の実施例を図3および図4に示す。本実施例では、結晶化したPb(Zr,Ti)O<sub>3</sub>膜(PZT)の上に非晶質のSTOを堆積する。図3に示すように、酸化したシリコン基板1の上に接着層としてTiN膜2をスパッタ法によって約50nm形成し、更に、200nmの膜厚のPt膜3をスパッタ法によって形成する。その後、結晶化したPZT膜6をゾルゲル法によって形成する。この工程では、通常Pb、Zr、Ti等の有機金属を有機溶媒に溶かしスピニコート法等で、Pt膜3の上に約200nmの膜厚となるように堆積することができる。その後、約150°C程度の温度でペークし、有機溶剤や水分を取り除く、更に、非晶質の膜を結晶化するために650°Cの酸素雰囲気中で熱処理する。しかしながら、このPZT膜6は結晶化の際、収縮するので結晶粒界には、図3に示すような空洞が生じることとなる。その後、図4に示すように約400°Cの基板温度で非晶質のSTO膜7を約10nm以下の膜厚でPZT膜6上に形成する。その後、Pt上部電極をスパッタ法により約200nm程形成してから、従来のリソグラフィ法によりキャパシタを形成する。PZT膜6は既に結晶化しており、その比誘電率は約200であったが、非晶質STO膜5の比誘電率は約20と小さく。そのため、この積層構造では静電容量はPZT膜6の単層構造に比べて約60%減少することが分かる。しかしながら、この多層化によって膜のリーク電流は約3桁改善し、かつPZT膜6の空洞によるとと思われる初期絶縁破壊率は著しく減少する。よってキャパシタ形成に関する歩留まりが改善することが可能となる。

【0011】 本発明は、非晶質STO膜を結晶化させることによってさらに効果を著しく向上することができる。すなわち、この非晶質STO膜を形成した後に650°Cの酸素雰囲気中で加熱すれば結晶化が起こり、比誘電率が約150に増加しキャパシタ全体としての静電容量の減少は、約20%に抑えることができる。また、歩留りに対する悪影響もない。

【0012】更に、本発明の他の実施例を図5および図6に示す。上記実施例では、結晶化したBST膜またはPZT膜の上に非晶質のSTO膜を堆積することによって、強誘電体の特性を向上させた。しかしながら、比誘電率が比較的小さいSTO膜を利用するより、さらに比誘電率の高い非晶質のBST膜を利用すれば、キャパシタの静電容量の減少を抑えつつ特性の改善が達成できる。図5に別の強誘電体薄膜を示す。先ず、酸化したシリコン基板1の上に接着層としてTiN膜2をスパッタ法によって約50nm形成し、次に、200nmの膜厚のPt3をスパッタ法によって形成する。その後、結晶化したPZT膜6をゾルゲル法によって形成して膜を完成させる。この工程は、通常Pb、Zr、Ti等の有機金属を有機溶媒に溶かしスピンドルコート法等により、Pt膜3上に約200nmの膜厚となるように堆積することができる。その後、約150°C程度の温度でペークし、これら有機溶剤や水分を取り除く、更に、非晶質の膜を結晶化するために650°Cの酸素雰囲気中で熱処理する。しかしながら、このPZT膜6は結晶化の際、上述の如く収縮し、結晶粒界に図3に示すような空洞が生じる。図6は、強誘電体薄膜の断面を示す。空洞が生じた表面に約500°Cの基板温度で、非晶質のBST膜8を約10nm以下の膜厚でPZT膜6の上に形成する。その後、Pt上部電極をスパッタ法により約200nm程形成してから、従来のリソグラフィ法によりキャパシタを形成する。その際、PZT膜6は既に結晶化しており、その比誘電率は約600に達する。一方、非晶質のBST膜8の比誘電率はSTO膜の約20と比べて約30と比較的大きいため、この積層構造では、静電容量がPZT膜6の単層構造に比べて約30%減少に留まることが分かる。更に、この多層化によって膜のリーク電流は約3桁改善させることができ、且つ、PZT膜6の空洞によると思われる初期絶縁破壊率は著しく減少させることが可能である。よって、キャパシタに関連する歩留りを改善させることができる。

【0013】本発明は、この非晶質BST膜を結晶化させることによってさらに効果を著しく向上させることができ。すなわち、この非晶質STO膜を形成した後に650°Cの酸素中で加熱したところ結晶化が起り、比誘電率が約300に増加し全体としてのキャパシタの静電容量の減少は約10%に抑えることができ、かつ、歩留りの向上も可能となる。

【0014】同様の効果は、結晶BST膜の上部に非晶質のPZT膜を堆積しても見い出される。すなわち、非晶質のPZT膜の比誘電率は約40にもなるのでさらに静電容量の減少が少なく歩留りの高いキャパシタ用強誘電体薄膜が形成できる。

【0015】上記実施例では、第2の強誘電体が非晶質あるいは結晶であっても、全体としての膜厚の増加が起こるため、歩留りの改善は図れるものの、静電容量の減

少は避けることができない。この技術的課題を解消すべく別の実施例においては、第2の強誘電体をドライエッティング法により除去し、下地の強誘電体の空洞部のみに第2の強誘電体を残すことができる。この実施例を図7乃至図9に示す。酸化したシリコン基板1の上に接着層としてTiN膜2をスパッタ法によって約50nm形成し、更に、200nmの膜厚のPt3をスパッタ法によって形成する。その後、結晶化したPZT膜6をゾルゲル法によって形成する。この工程では通常Pb、Zr、Ti等の有機金属を有機溶媒に溶かしたスピンドルコート法等により、Pt膜3の上に約200nmの膜厚となるように堆積することができる。その後、約150°C程度の温度でペークし、有機溶剤や水分を取り除く、さらに、非晶質の膜を結晶化するために650°Cの酸素雰囲気中で熱処理を施す。しかしながら、このPZT膜6は、結晶化する際、図7に示す如く収縮した結晶粒界に空洞が生じる。その後、図8に示すように約500°Cの基板温度で非晶質のSTO膜7を約10nm以下の膜厚でPZT膜6上に形成する。その後、図9に示すように、Arプラズマ中で10nm相当エッチバックすることにより、PZT膜6の結晶粒界の空洞部分に選択的に非晶質のSTO膜7を残すことができる。この際、Arプラズマ中でのエッチバックにより下地のPZT膜中に酸素空孔等の欠陥が生じるためリーク電流が著しく増大するという問題がある。本実施例によれば、STO膜のエッチバック後に、この欠陥を修復できる程度の温度で熱処理することにより、リーク電流の増加を防ぐことができる。この方法によってPZT膜6の空洞によると思われる初期絶縁破壊率は減少し、キャパシタの歩留りも改善した。

【0016】本実施例では、キャパシタの静電容量の減少は起らなかった。特に、PZT膜の結晶粒界部における空洞の大きさは、幅が数nm程度のものが多く、この空洞に比誘電率の低い絶縁膜を埋め込んでもキャパシタの静電容量の変化は無視できるレベルである。

【0017】上記実施例は、PZT膜の上に非晶質のBST膜を形成する方法について説明したが、同様な効果はBST膜の上に非晶質のPZT膜を形成しても得られる。

【0018】本発明の更に別の実施例は、第2の強誘電体のPZT膜をドライエッティング法により除去し、下地の強誘電体の空洞部にのみ第2の強誘電体を残すことができる。その実施例を図10乃至図12に示す。酸化したシリコン基板1の上に接着層としてTiN膜2をスパッタ法によって約50nm形成し、200nmの膜厚のPt3をスパッタ法によって形成する。その後、結晶化したBST膜4をゾルゲル法によって形成する。この工程は、通常Ba、Sr、Ti等の有機金属を有機溶媒に溶かしたスピンドルコート法等により、Pt膜3の上に約200nmの膜厚となるように堆積する。その後、約15

0°C程度の温度でペークし有機溶剤や水分を取り除く、更に、非晶質の膜を結晶化するために650°Cの酸素雰囲気中で熱処理する。しかしながら、このBST膜4は結晶化の過程で収縮し結晶粒界に図10に示すような空洞が生じる。その後、図11に示すように約500°Cの基板温度で非晶質のPZT膜9を約10nm以下の膜厚でBST膜4上に形成する。図12に示すように、その後、Arプラズマ中で10nm相当エッチバックすると、ちょうどBST膜4の結晶粒界の空洞部分に選択的に非晶質のPZT膜9を残すことができる。その際、Arプラズマ中のエッチバックにより下地のBST膜中に酸素空孔等の欠陥が生じリーケ電流が著しく増大するという問題があった。そのため、本実施例においては、PZT膜のエッチバック後、この欠陥を修復できる程度の温度で熱処理することにより、リーケ電流の増加を防ぐことができる。この方法によってBST膜4の空洞によると思われる初期絶縁破壊率は著しく減少しキャパシタの歩留りも改善した。

【0019】本実施例においても、キャパシタの静電容量の減少は起らなかった。本発明は、BST以外の強誘電体材料に関する適応させることができる。すなわち、上記実施例の強誘電体薄膜をSrTiO<sub>3</sub>、BaTiO<sub>3</sub>、(Pb, La)(Zr, Ti)O<sub>3</sub>、Pb(Zr, Ti)O<sub>3</sub>、PbTiO<sub>3</sub>等を構成要素として含んでいても実質的な効果を奏することは言うまでもない。

【0020】本発明においては、強誘電体の薄膜の成長方法としてスパッタ法やゾルゲル法を例にとって説明したが、この成長方法として公知のCVD法、MOD法等を用いてもよい。特にゾルゲル法を用いて強誘電体薄膜を形成する場合には、結晶化の際に結晶粒界に空洞が発生する場合が多く本発明の効果が著しい。

【0021】なお、以上の説明では主として本発明者によってなされた発明をその背景となるDRAM用キャパシタ誘電膜に適用した場合について説明したが、これに限定されず、例えば、疑似SRAM用のキャパシタやワード線昇圧用コンデンサのキャパシタ等の半導体集積回路装置に適用することも可能である。

【0022】次に本発明の他の態様を図13乃至図29を参照して説明する。本態様の前提を説明する図13は、酸化したシリコン基板101上に接着層としてTi膜103をスパッタ法によって約50nm形成し、200nmの膜厚のPt膜104をスパッタ法によって形成した後、BST膜105をBSTセラミックスのターダット材を用いてO<sub>2</sub>/Ar混合ガス中で約200nmの膜厚に堆積した構造を示す。その際、基板温度は約650°Cで膜形成を行ない、結晶化したBST膜105を成長させる。500度以下で形成される非晶質BSTの比誘電率が約1.8と、結晶化したBSTの比誘電率約3.0に比べて小さい。最後に、Ptの上部電極を形成してキャパシタを形成する。その電気的特性は、結晶BST

T膜の初期絶縁破壊による落ちこぼれが多いために、ULSI用のキャパシタとして十分な歩留りを確保できないことが分かる。このBST膜の透過型電子顕微鏡を用いた解析や電気的特性の詳しい解析の結果、図13に示すようにBST膜の初期絶縁破壊がBST膜105の結晶粒界に発生している空洞による可能性が高いことが分かった。この空洞部に上部電極Pt膜をスパッタ法により形成する際、Ptが侵入し上部電極と下部電極が短絡するのである。したがって、本発明のこの態様においては半導体装置のキャパシタ部の空洞を絶縁膜で埋めることによりBST膜の歩留りを向上させる。

【0023】図14及び図15を用いて本発明の一実施例（第6実施例）を説明する。図14は、酸化したシリコン基板101上に接着層としてTi膜103をスパッタ法によって約50nm形成し、200nmの膜厚のPt膜104をスパッタ法によって形成した構造を示す。その後、BST膜105をBSTセラミックスターゲットを用いてO<sub>2</sub>/Ar混合ガス中で約200nmの膜厚に堆積した。そのさいの基板温度は約650°Cに保ちBST膜105を結晶化させる。本実施例においては、BST膜105の空洞をスピノングラス（SOG）と呼ばれるシリコンの酸化物で埋める。液体である、SOGの前駆体をスピナー（回転塗付器）を用いて回転速度1000~5000rpmでウエハ全面にコートする。その後、溶剤を蒸発させるため、100~200°C（溶剤の沸点によって異なる。）でペークした後、最後に350~450°Cでファイナルキュアを行う。図14に、その結果ほとんどSiO<sub>2</sub>に近い組成のSOG膜106がBST膜105の空洞を埋める形で形成される構造を示す。図15は、その後、約1%に希釈した沸化水素酸（HF）でSOG膜106の膜厚相当分をエッチング除去して、空洞部がSOG膜106で埋った構造を示す。図14には、空洞を誇張して大きく描いてあるが、実際は数nm程度以下の大きさであり、エッチングの際、空洞部にSOGを残すことは容易である。この構造を形成した後にPt上部電極107をスパッタ法により約200nm程形成してから、公知のリソグラフィ法によりキャパシタを形成する。この方法で形成したキャパシタの歩留りは非常に高く将来のDRAM用キャパシタとして十分な歩留りを可能とできる。また、実効的な比誘電率も約3.0と非常に大きい。

【0024】また、本実施例においてSOGのエッチングは、ウエット法によって行なったが、ドライエッチング法によても同様な効果が得られる。

【0025】図16及び図17は、本発明の別の実施例を示す。上記第6実施例と同様の方法でBST膜105を形成する。そして、約450°Cで有機オキシシラン、例えばSi(OCH<sub>3</sub>)<sub>4</sub>を用いて酸化膜108をAr/O<sub>2</sub>雰囲気中のプラズマCVDで形成する。通常、この酸化膜をTEOS膜と呼ぶ。図16は、その結果ほ

とんど  $\text{SiO}_2$  に近い組成の TEOS 膜 108 が BST 膜 105 の空洞を埋める形で形成される断面図を示す。その後、図 17 に示すように、約 1% に希釈した沸化水素酸 (HF) で TEOS 膜 108 の膜厚相当分エッチング除去する。空洞部が TEOS 膜 108 で埋った構造が形成される。その際、BST 膜等の強誘電体薄膜の多くは、HF によってエッチングされないため、BST 膜に損傷を与えることはない。この構造を形成した後に Pt 上部電極 107 をスパッタ法により約 200 nm 程形成してから、公知のリソグラフィ法によりキャバシタを形成する。この方法で形成したキャバシタの歩留りは非常に高く将来のDRAM 用キャバシタとして十分な歩留りを実現できる。また、実効的な BST 膜の比誘電率も約 300 と非常に大きいことも確認できた。本実施例において SOG のエッチングはウエット法によって行なったが、ドライエッチング法によっても同様な効果を奏する。

【0026】図 18 及び図 19 は、本発明の更に別の実施例を示す。上記実施例と同様な方法で BST 膜 105 を形成し、常圧 CVD 法を用いて約 300 から 500 °C の温度範囲でモノシラン ( $\text{SiH}_4$ ) を酸素中で反応させ、図 18 に、BST 膜 105 の上に CVD 酸化膜 110 を堆積させた構造を示す。その結果ほとんど  $\text{SiO}_2$  に近い組成の CVD 酸化膜 110 が BST 膜 105 の空洞を埋める形で形成される。この CVD 酸化膜 110 の膜厚相当分、ドライエッチング法により削り取る。この場合、CVD 酸化膜 110 のエッチングガスとしては従来の酸化膜用のエッチングガス例えば  $\text{CF}_4 / \text{H}_2$  混合ガス、 $\text{CHF}_3$ 、 $\text{CHF}_3 / \text{SF}_6 / \text{He}$  等の混合ガスを用いればよい。これらの、エッチングガスを用いれば CVD 酸化膜 110 のエッチングの BST 膜 105 に対してエッチング速度の選択比を非常に大きくとれるため、図 19 に模式的に示すように BST 膜 105 に損傷を与えることなしに、空洞部に選択的に CVD 酸化膜 110 を残すことができる。本実施例では、CVD 酸化膜 110 をドライエッチング法によって除去する方法について述べたが、上記実施例に示したようなウエット法を利用してもよい。その後、Pt 上部電極 107 をスパッタ法により約 200 nm 程形成してから、公知のリソグラフィ法によりキャバシタを形成する。この方法で形成したキャバシタの歩留りは非常に高く将来のDRAM 用キャバシタとして十分な歩留りを可能とする。また、実効的な比誘電率も約 300 と非常に大きい。

【0027】図 20 及び図 21 は、本発明の更に別の実施例を開示する。第 6 実施例と同様な方法で BST 膜 105 を形成し、減圧 CVD 法を用いて約 300 から 500 °C の温度範囲で、例えば、テトライソプロポキシチタン  $\text{Ti}(\text{i}-\text{OC}_3\text{H}_7)_4$  と酸素を反応させ、BST 膜 105 の上に CVD-TiO<sub>2</sub> 膜 111 を堆積させる構造を図 20 に示す。その結果、ほとんど TiO<sub>2</sub> に近

い組成の TiO<sub>2</sub> 膜 111 が BST 膜 105 の空洞を埋める形で形成される。この CVD-TiO<sub>2</sub> 膜 111 の膜厚相当分、ドライエッティング法により削り取る。この場合、CVD-TiO<sub>2</sub> 膜 111 のエッティングガスとしては従来の酸化膜用のエッティングガス例えば  $\text{CF}_4 / \text{H}_2$  混合ガス、 $\text{CHF}_3$ 、 $\text{CHF}_3 / \text{SF}_6 / \text{He}$  等の混合ガスを用いればよい。これらの、エッティングガスを用いれば CVD-TiO<sub>2</sub> 膜 111 のエッティングの BST 膜 105 に対して選択比を非常に大きくとれるため図 21 に模式的に示すように空洞部に選択的に CVD-TiO<sub>2</sub> 膜 111 を残すことができる。その後、Pt 上部電極 107 をスパッタ法により約 200 nm 程形成してから、従来のリソグラフィ法によりキャバシタを形成する。この方法で形成したキャバシタの歩留りは非常に高く将来のDRAM 用キャバシタとして十分な歩留りを実現できる。また、実効的な比誘電率も約 300 と非常に大きい。

【0028】本実施例は、TiO<sub>2</sub> 膜 111 を形成する際 CVD 法を用いて本実施例の概念を説明したが、その他、ゾルゲル法を用いてもよく、TiO<sub>2</sub> 膜の形成方法として、テトライソプロポキシチタン  $\text{Ti}(\text{i}-\text{OC}_3\text{H}_7)_4$  等の有機金属を有機溶媒、メトキシエタノール ( $\text{CH}_3\text{OCH}_2\text{CH}_2\text{OH}$ )、酢酸 ( $\text{CH}_3\text{COOH}$ )、或は、ブタノール ( $\text{C}_4\text{H}_9\text{OH}$ ) 等の有機溶媒を用いて希釈し前駆体を形成し、これをスピンドルコート法等で BST 膜の上に形成しても同様な効果が得られる。また、ここでは BST 膜の空洞を埋めるために TiO<sub>2</sub> 膜を利用したが、ZrO<sub>2</sub>、HfO<sub>2</sub>、ScO<sub>2</sub>、Y<sub>2</sub>O<sub>3</sub>、V<sub>2</sub>O<sub>5</sub> 及び Nb<sub>2</sub>O<sub>5</sub> 等を利用しても良い。例えば、ZrO<sub>2</sub> 膜を形成するために、Zr( $\text{OCH}_3\text{H}_7)_4$  或は Zr( $\text{OCH}_4\text{H}_9)_4$  等を CVD 法やゾルゲル法で ZrO<sub>2</sub> 膜を形成して BST 膜の空洞を埋めてもよい。

【0029】本発明の他の実施例を図 22 及び図 23 に示す。第 6 実施例と同様の方法で BST 膜 105 を形成し、その後、減圧 CVD 法を用いて約 400 から 500 °C の温度範囲で、例えば、タンタルベントエトキシ Ta<sub>2</sub>( $\text{i}-\text{OC}_3\text{H}_7)_5$  と酸素を反応させ、BST 膜 105 の上に CVD-Ta<sub>2</sub>O<sub>5</sub> 膜 112 を堆積させる。図 22 に、ほとんど Ta<sub>2</sub>O<sub>5</sub> に近い組成の Ta<sub>2</sub>O<sub>5</sub> 膜 112 が BST 膜 105 の空洞を埋める形で形成される構造を示す。この Ta<sub>2</sub>O<sub>5</sub> 膜 112 の膜厚相当分、ドライエッティング法により削り取る。この場合、Ta<sub>2</sub>O<sub>5</sub> 膜 112 のエッティングガスとしては従来の酸化膜用のエッティングガス例えば  $\text{CF}_4 / \text{H}_2$  混合ガス、 $\text{CHF}_3$ 、 $\text{CHF}_3 / \text{SF}_6 / \text{He}$  等の混合ガスを用いればよい。これらの、エッティングガスを用いれば Ta<sub>2</sub>O<sub>5</sub> 膜 112 のエッティングの BST 膜 105 に対して選択比を非常に大きくとれるため図 23 に模式的に示すように空洞部に選択的に Ta<sub>2</sub>O<sub>5</sub> 膜 112 を残すことができ

る。その後、Pt上部電極107をスパッタ法により約200nm程形成してから、従来のリソグラフィ法によりキャバシタを形成した。この方法で形成したキャバシタの歩留りは非常に高く将来のDRAM用キャバシタとして十分な歩留りを実現できる。また、実効的な比誘電率も約300と非常に大きい。

【0030】本実施例においては、Ta<sub>2</sub>O<sub>5</sub>膜112を形成する際CVD法を用いて本実施例の概念を説明したが、そのほか、スパッタ法を用いてもよい。通常はTa<sub>2</sub>O<sub>5</sub>膜のスパッタ形成は約10%の酸素を含んだAr中で行なえば、容易に実現できる。

【0031】次に、本発明の別の実施例を図24及び図25を参照して説明する。図24に示すように、第6実施例と同様な方法でBST膜105を形成し、その後、スパッタ法を用いて約400から500°Cの温度範囲で、約10%の酸素を含むアルゴンガス中で酸化ハフニウム酸化膜HfO膜113を形成する。その結果ハフニウムHfO膜113がBST膜105の空洞を埋める形で形成される構造を図24に示す。このハフニウム酸化膜HfO膜113の膜厚相当分、ドライエッティング法により削り取る。この場合、ハフニウム酸化膜113のエッティングガスとしては、公知の酸化膜用のエッティングガス例えばCF<sub>4</sub>/H<sub>2</sub>混合ガス、CHF<sub>3</sub>、CHF<sub>3</sub>/SF<sub>6</sub>/He等の混合ガスを用いればよい。これらの、エッティングガスを用いればハフニウム酸化膜膜113のエッティング速度のBST膜105に対して選択比を非常に大きくとれるため図25に模式的に示すように空洞部に選択的にハフニウム酸化膜113を残すことができる。その後、Pt上部電極107をスパッタ法により約200nm程形成してから、公知のリソグラフィ法によりキャバシタを形成した。この方法で形成したキャバシタの歩留りは非常に高く将来のDRAM用キャバシタとして十分な歩留りを実現できる。また、実効的な比誘電率も約300と非常に大きい。

【0032】本実施例においては、ハフニウム酸化膜HfO膜113を形成する際スパッタ法を用いて本実施例の概念を説明したが、そのほか、CVD法やゾルゲル法を用いてもよい。

【0033】図26及び図27は、本発明の別の実施例を示す。約650°Cで30分程酸素雰囲気中で熱処理を行なうと、Pt膜104の下地の接着層Ti膜103

(またはTiN)等からのTiがPt膜粒界を通して拡散し、空洞を覆う形で析出し、酸素中で酸化されTiO<sub>2</sub>膜114が形成される。この現象は、透過型電子顕微鏡をよる分析によても確認できる。更に、空洞のない部分のBST膜105の結晶粒界をも覆う形で形成されている構造を示す。Ptの上部電極107を形成して電気的特性を評価したところ、キャバシタの初期絶縁不良だけでなく、通常問題になる結晶粒界を通してのリーク電流も減少している。この場合、BST膜105の比誘電率も約300と非常に大きい。

電率は約300であり、本実施例の実施による比誘電率の低下はない。

【0034】図28及び図29は、更に別の実施例を示す。これまでの実施例においては、強誘電体BST膜105の下部電極としてPt膜104を利用したキャバシタの製造方法について説明したが、Pt膜は、ドライエッティングが非常に難しいことや、放射性不純物を含んでいてソフトエラーを引起しやすい等の問題で、ULSI製造工程に強誘電体薄膜を導入する際の一つの障害となっている。本実施例においては、このPt膜104を用いないキャバシタの製造方法を説明する。図28に、実施例6と同様な方法でBST膜105を直接接着層のTiN膜116の上に形成し、約650度Cで30分程酸素雰囲気中で熱処理を行い、接着層TiN膜116からのTiがBST膜の結晶粒界を通して拡散し酸化され、空洞および結晶粒界を覆う形で析出し、TiO<sub>2</sub>膜114および115が形成される構造を示す。図29は、上記強誘電膜上に電極を形成した構造を示す。上記誘電膜に析出する現象は、透過型電子顕微鏡による分析によって確認できる。これにより、Ptの上部電極107を形成して電気的特性を評価したところ、キャバシタの初期絶縁不良だけでなく、通常問題になる結晶粒界を通してのリーク電流も減少していることも分かった。この場合もBST膜105の比誘電率は約100に減少し、実施例6から12までのBST膜の比誘電率300の約3分の1に減少した。これは、BST膜形成時の酸素プラズマによってTiN116の表面に極めて薄いTiO<sub>2</sub>膜117が形成されたことによると考えられる。しかしながら、このBST膜105の絶縁破壊耐圧は約3倍に増加する。従来、DRAM用キャバシタに用いられてきた酸化膜/窒化膜の比誘電率が4から7程度なので、本実施例による比誘電率100は有効な範囲である。

【0035】上記実施例は、BST以外の強誘電体材料に関する適用できることは言うまでもない。すなわち、本発明における強誘電体薄膜は、SrTiO<sub>3</sub>、BaTiO<sub>3</sub>、(Pb,La)(Zr,Ti)O<sub>3</sub>、Pb(Zr,Ti)O<sub>3</sub>、PbTiO<sub>3</sub>等を構成要素として含んでいても構わない。また、これらの膜の柱状結晶の成長を抑制するための挿入膜はこれら強誘電体を構成する元素またはその酸化物を含んでいても構わない。なお、本発明において強誘電体の薄膜の成長方法としてスパッタ法を例にとって説明したが、この成長方法としてCVD法、スピノコート塗付法を用いたゾルゲル法等を用いてもよい。特にゾルゲル法を用いて強誘電体薄膜を形成する場合は、通常非晶質の強誘電体を熱処理によって結晶化させる場合が多く本発明としての効果が著しい。

【0036】なお、以上の説明では主として本発明者によってなされた発明をその背景となるDRAM用キャバシタ誘電膜に適用した場合について説明したが、これに

限定されず、例えば、疑似SRAM用のキャパシタやワード線昇圧用コンデンサのキャパシタ等の半導体集積回路装置に適用することも可能である。

## 【0037】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、次の通りである。

【0038】即ち、本発明においては、強誘電体薄膜を積層したり、強誘電体薄膜の形成後に結晶粒の間に発生する空洞部に絶縁層を埋め込むことによって、リーク電流が小さく歩留りが高い強誘電体薄膜を形成することが可能となる。

## 【図面の簡単な説明】

【図1】本発明の第1の実施例である強誘電体キャパシタの製造工程の要部中間工程の断面図である。

【図2】本発明の第1の実施例である強誘電体キャパシタの製造工程の要部断面図である。

【図3】本発明の第2の実施例である強誘電体キャパシタの製造工程の中間工程の断面図である。

【図4】本発明の第2の実施例である強誘電体キャパシタの製造工程の中間工程の要部断面図である。

【図5】本発明の第3の実施例である強誘電体キャパシタの製造工程の中間工程の断面図である。

【図6】本発明の第3の実施例である強誘電体キャパシタの製造工程の中間工程の断面図である。

【図7】本発明の第3の実施例である強誘電体キャパシタの製造工程の要部断面図である。

【図8】本発明の第4の実施例である強誘電体キャパシタの製造工程の中間工程の断面図である。

【図9】本発明の第4の実施例である強誘電体キャパシタの製造工程の中間工程の断面図である。

【図10】本発明の第5の実施例である強誘電体キャパシタの製造工程の要部断面図である。

【図11】本発明の第5の実施例である強誘電体キャパシタの製造工程の中間工程の断面図である。

【図12】本発明の第5の実施例である強誘電体キャパシタの製造工程の要部断面図である。

【図13】本発明の前提を説明するための強誘電体(BST)キャパシタ膜の断面である。

【図14】本発明の第6の実施例である強誘電体(BST)キャパシタ膜の中間工程の断面である。

\* 【図15】本発明の第6の実施例である強誘電体(BST)キャパシタの製造工程の要部断面図である。

【図16】本発明の第7の実施例である強誘電体(BST)キャパシタの中間製造工程の断面図である。

【図17】本発明の第7の実施例である強誘電体(BST)キャパシタの要部断面図である。

【図18】本発明の第8の実施例である強誘電体(BST)キャパシタの中間製造工程の断面図である。

【図19】本発明の第8の実施例である強誘電体(BST)キャパシタの要部断面図である。

10 【図20】本発明の第9の実施例である強誘電体(BST)キャパシタの中間製造工程の断面図である。

【図21】本発明の第9の実施例である強誘電体(BST)キャパシタの要部断面図である。

【図22】本発明の第10の実施例である強誘電体(BST)キャパシタの中間製造工程の断面図である。

【図23】本発明の第10の実施例である強誘電体(BST)キャパシタの要部断面図である。

【図24】本発明の第11の実施例である強誘電体(BST)キャパシタの中間製造工程の断面図である。

【図25】本発明の第11の実施例である強誘電体(BST)キャパシタの要部断面図である。

【図26】本発明の第12の実施例である強誘電体(BST)キャパシタの中間製造工程の断面図である。

【図27】本発明の第12の実施例である強誘電体(BST)キャパシタの要部断面図である。

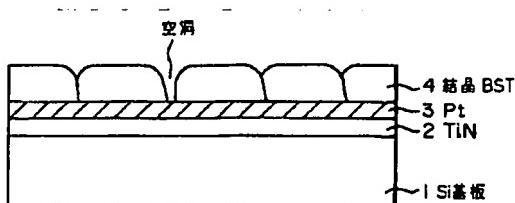
【図28】本発明の第13の実施例である強誘電体(BST)キャパシタの中間製造工程の断面図である。

【図29】本発明の第13の実施例である強誘電体(BST)キャパシタの要部断面図である。

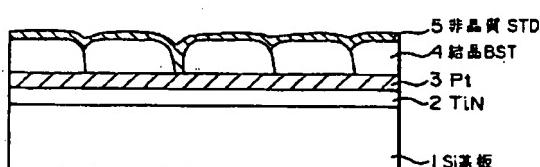
## 【符号の説明】

- 1 酸化したSi基板
- 2 TiN膜
- 3 Pt膜(下部電極)
- 4 結晶BST膜
- 5 非晶質STO膜
- 6 結晶PZT膜
- 7 非晶質STO膜
- 8 非晶質BST膜
- 9 非晶質PZT膜

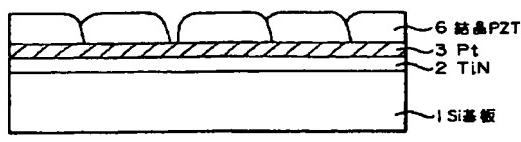
【図1】



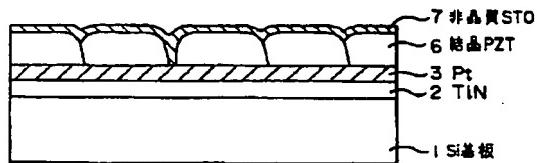
【図2】



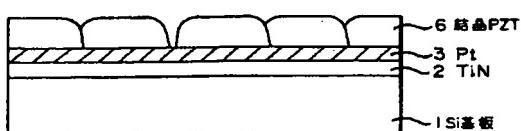
【図 3】



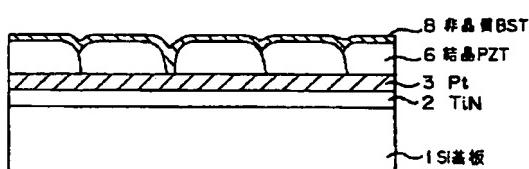
【図 4】



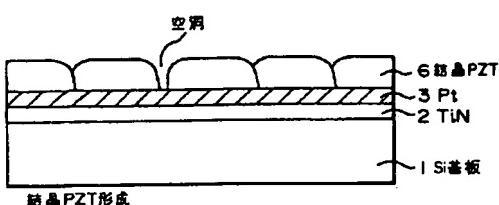
【図 5】



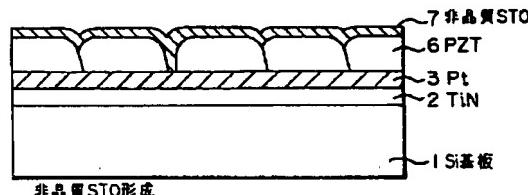
【図 6】



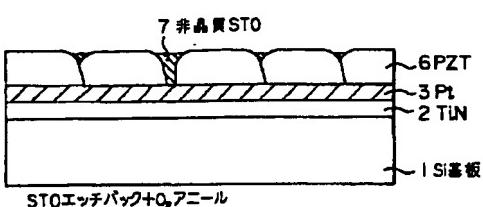
【図 7】



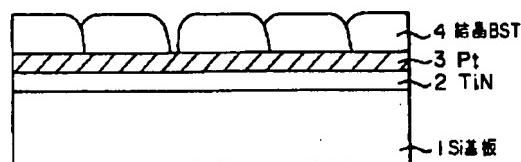
【図 8】



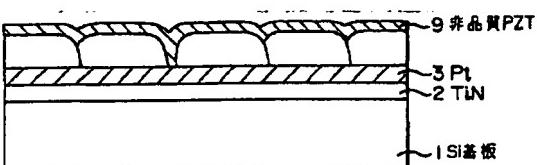
【図 9】



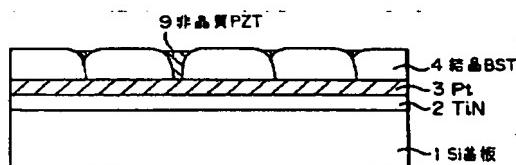
【図 10】



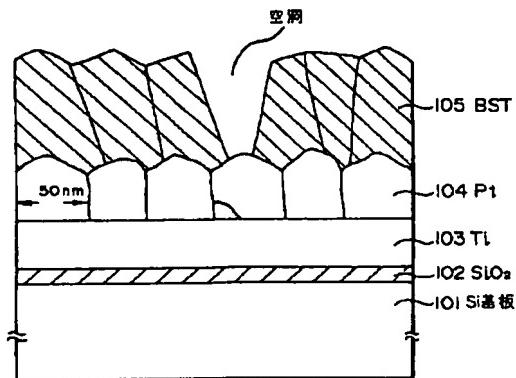
【図 11】



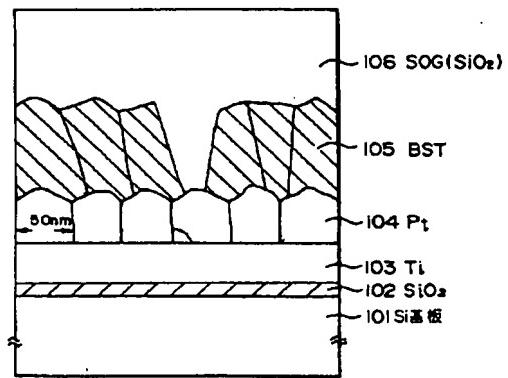
【図 12】



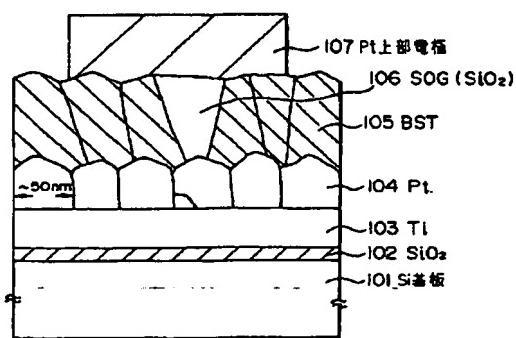
【図 1 3】



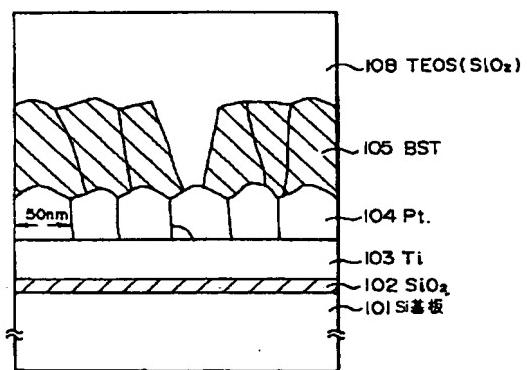
【図 1 4】



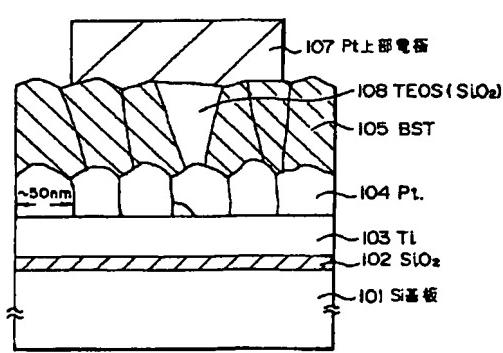
【図 1 5】



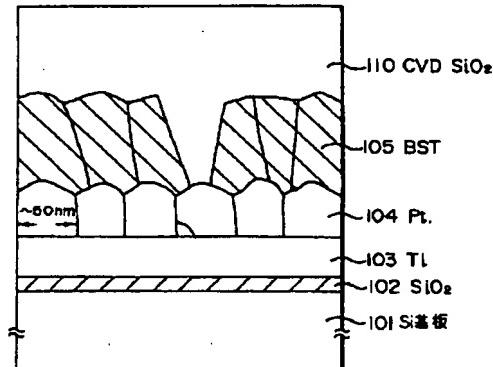
【図 1 6】



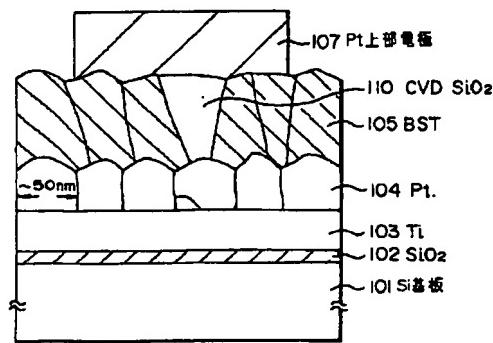
【図 1 7】



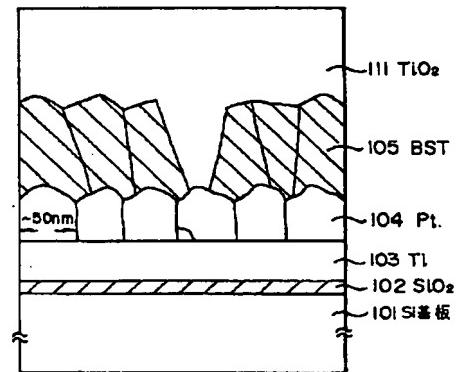
【図 1 8】



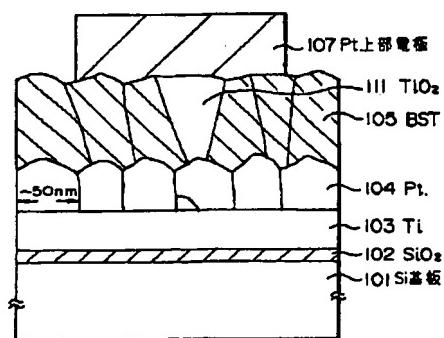
【図 19】



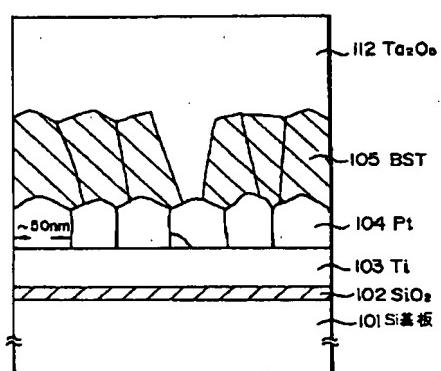
【図 20】



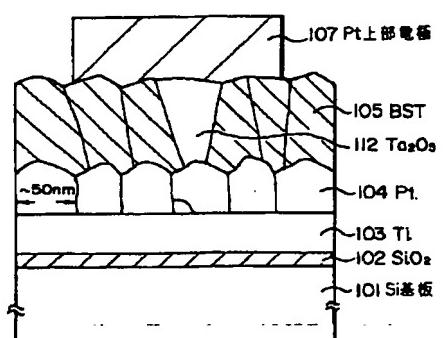
【図 21】



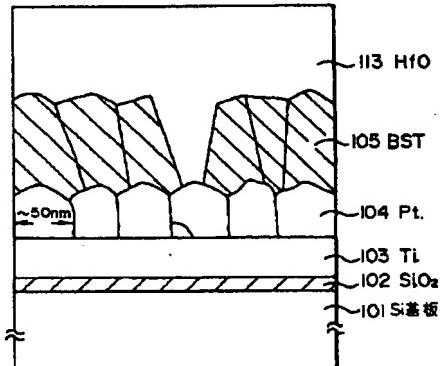
【図 22】



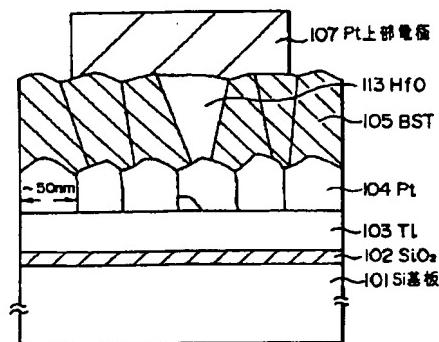
【図 23】



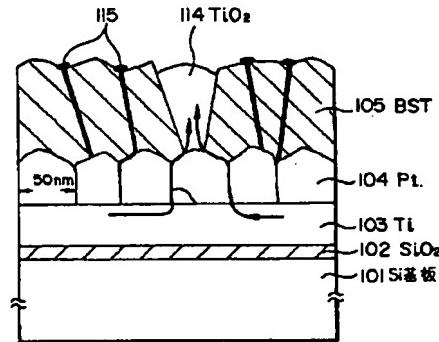
【図 24】



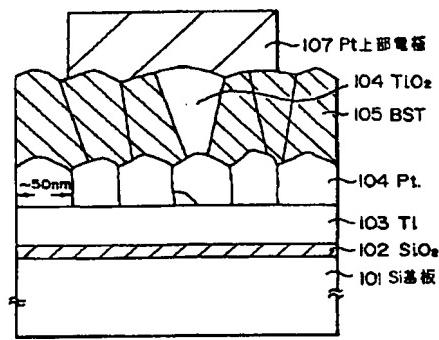
【図25】



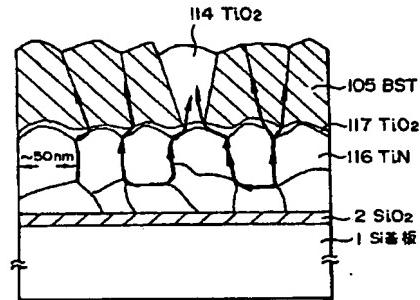
【図26】



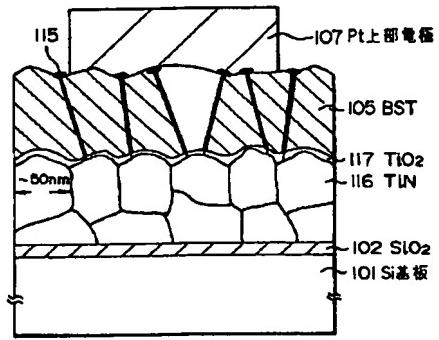
【図27】



【図28】



【図29】



フロントページの続き

(51) Int.CI.6

識別記号

府内整理番号

F I

技術表示箇所

H 0 1 L 21/822

// C 2 3 C 28/00

B

30/00

A

C 3 0 B 29/32

C 9261-4 G